

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁶ (11) 공개번호 10-2001-0020024
H01L 27/108 (43) 공개일자 2001년03월15일

(21) 출원번호 10-1999-0036708
(22) 출원일자 1999년08월31일
(71) 출원인 현대전자산업 주식회사 박종섭
경기 이천시 부발읍 아미리 산136-1
(72) 발명자 이태혁
경기도이천시대월면사동리441-1현대전자아파트101-404
오훈정
경기도이천시부발읍신하리삼익아파트102동809호
(74) 대리인 박대진, 정은섭

심사결과 : 없음

(54) 탄탈륨산화막 커패시터의 제조방법

요약

본 발명은, 탄탈륨산화막 커패시터를 형성하는 방법에 관한 것으로서, 특히, 커패시터의 하부전극을 실린더 형상으로 형성하고, 이 하부전극에 유전체 역할을 하는 탄탈륨산화막을 적층한 후에 급속냉으로 된 상부전극을 증착한 후, 급속열처리 공정 혹은 확산로내에서 고온으로 열처리하여 탄탈륨산화막을 결정화시키므로 하부전극에 산화가 일어 나지 않으므로 저유전층의 형성을 방지하여 탄탈륨산화막의 그레인사이즈를 조대화시켜 높은 정전용량을 얻도록 한다. 즉, 종래의 방식은 탄탈륨산화막의 동가산화막 두께를 30 Å 이하로 줄이는 것이 어려웠으나, 본 발명의 공정을 이용하면, 25 Å이하의 두께로 줄이는 것이 가능하며, 탄탈륨산화막의 상부면에 적층된 급속냉으로 인하여 고온 열처리공정을 진행하면 탄탈륨산화막의 온도가 급속하고 현저하게 상승하여 조직의 결정화가 매우 급속하게 일어나 결함밀도가 줄어들고 유전율이 상승하게 되어 커패시터의 전하저장능력이 증대하게 되는 장점을 지닌다.

도면도

도3

색인어

충간절연막 질화막 탄탈륨산화막 전처리공정 후처리공정 하부전극

명세서

도면의 간단한 설명

도 1 내지 도 3은 본 발명에 따른 탄탈륨산화막 커패시터의 형성방법을 순차적으로 보인 도면이다.

도면의 주요 부분에 대한 부호의 설명

10 : 반도체기판 20 : 충간절연막
25 : 콘택홀 30 : 전하저장전극
40 : 질화막 50 : 탄탈륨산화막
60 : 상부전극

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 탄탈륨산화막을 이용한 커패시터에 관한 것으로서, 특히, 탄탈륨산화막을 형성하고, 금속층으로 된 상부전극을 증착한 후, 금속열처리 공정 혹은 확산로내에서 고온으로 열처리하여 탄탈륨산화막을 결정화시킴으로써 하부전극에 산화가 일어나지 않는 상태로 그레인사이즈를 조대화시켜 높은 정전용량을 얻도록 하는 탄탈륨산화막 커패시터의 제조방법에 관한 것이다.

일반적으로, 커패시터는 전하를 저장하여 반도체소자의 동작에 필요한 전하를 저장하게 되는 것으로서, 반도체소자가 고집적화 되어짐에 따라 단위 셀(Cell)의 크기는 작아지면서 소자의 동작에 필요한 정전용량(Capacitance)은 약간씩 증가하는 것이 일반적인 경향이며, 현재 64M DRAM이상의 소자에서 필요로 하는 정전용량은 셀당 30fF 이상인 것을 알려져 있다.

이와 같이, 반도체소자의 고집적화가 이루어짐에 따라 커패시터 역시 소형화될 것을 요구되어지고 있으나 전하를 저장하는 데 한계에 부딪히게 되어 커패시터는 셀의 크기에 비하여 고집적화시키는 데 어려움이 표출되었다.

이러한 점을 감안하여 각 업체에서 커패시터의 전하를 저장하기 위한 구조를 다양하게 변화하기에 이르렀으며, 커패시터의 전하를 증가시키는 방법에는 유전상수가 큰 물질인 Ta_2O_5 , BST를 사용하는 방법, 유전 물질의 두께를 낮추는 방법 및 커패시터의 표면적을 늘리는 방법등이 있으며, 최근에는 커패시터의 표면적을 증대시키는 방법이 주로 이용되고 있다.

그 이외에도, 표면적을 늘려줌과 동시에 유전상수가 큰 물질인 탄탈륨옥사이드(Ta_2O_5)를 사용하여 복합적으로 적용하는 방법이 사용되고 있다.

이러한 실린더 타입에 탄탈륨산화막을 유전체로 사용하는 공정을 간략하게 살펴 보면, 우선, 반도체기판에 게이트등의 트랜지스터를 형성한 후, 중간절연막을 적층하도록 하고, 마스크링 식각으로 콘택홀을 형성한다.

그리고, 그 콘택홀내에 비정질 폴리실리콘층을 매립시킨 후, 코어산화막을 적층하여 마스크링식각으로 전하 저장전극이 형성될 부위만을 남긴 후, 식각하는 등의 공정을 거쳐서 하부 전하저장전극(Charge Storage Node)을 형성하게 된다.

한편, 하부 전극에 유전체 역할을 하는 탄탈륨산화막을 저온에 비정질의 상태로 적층하도록 하고, 금속열처리(RTP; Rapid Thermal Process)공정 혹은 확산로(Furnace)를 이용하여 고온 산화 분위기에서 열처리하여 결정화시키도록 한다.

그러나, 비정질 상태에 있는 탄탈륨산화막을 고온 산화 분위기에서 열처리하여 결정화시키면, 하부전극에 적층된 질화막에 고온의 열이 가하여져서 하부전극을 구성하는 실리콘까지 산화되어 저유전층(SiO_2)이 생성되고, 탄탈륨산화막은 작은 결정립을 갖는 다결정체로 상전이 한다. 이러한 하부전극에 형성되는 저유전층은 탄탈륨산화막의 총전용량을 감소시키고, 계면의 불안정성으로 인하여 누설전류를 유발한다.

상기 탄탈륨산화막의 결정립의 크기(Grain Size)가 작으면, 넓은 면적의 결정립계(Grain Boundary)가 존재하기 때문에 분극(Polarization)의 크기가 작아지고, 이는 결국 유전상수의 감소를 초래하여 총전용량을 감소시킨다.

특히, 종래의 방법으로는 하부전극 생성되는 저유전층으로 인하여 탄탈륨등가산화막의 두께를 30Å이하로 형성하는 것이 불가능하였으며, 이 것은 유전율을 낮출 수가 없는 요인으로 작용하므로 소자의 전기적인 특성을 저하시키는 문제점이 있었다.

발명이 이루고자 하는 기술적 과제

본 발명은 이러한 점을 감안하여 안출한 것으로서, 커패시터의 하부전극을 실린더 형상으로 형성하고, 이 하부전극에 유전체 역할을 하는 탄탈륨산화막을 적층한 후에 금속층인 상부전극을 증착한 후, 금속열처리 공정 혹은 확산로내에서 고온으로 열처리하여 탄탈륨산화막을 결정화시킴으로써 하부전극에 산화가 일어나지 않는 상태로 그레인사이즈를 조대화시켜 높은 정전용량을 얻는 것이 목적이다.

발명의 구성 및 작용

이러한 목적은 반도체기판 상에 중간절연막을 적층하고 마스크링식각으로 콘택홀을 형성한 후 도핑된 비정질의 폴리실리콘층으로 홀부를 갖는 하부전극을 형성하는 단계와; 상기 하부 전극에 탄탈륨산화막을 적층하기 전에 전처리공정으로 질화막을 적층하는 단계와; 상기 단계 후에 질화막 상에 유전체 역할을 하는 탄탈륨산화막을 증착한 후 결함밀도를 줄이기 위하여 저온으로 후처리공정을 수행하는 단계와; 상기 단계 후에 금속층을 적층하여 패턴링하여 상부전극을 형성하는 단계와; 상기 탄탈륨산화막을 결정화하기 위하여 상기 결과물을 고온으로 어닐링하는 단계를 포함한 탄탈륨산화막 커패시터의 제조방법을 제공함으로써 달성된다.

상기 하부전극에는 MPS(MetaStable Poly Silicon)필름을 형성하여 하부전극의 전하저장면적을 증대하도록 한다.

그리고, 상기 하부전극에 형성되는 MPS필름은 저압화학기상증착법(LPCVD)으로 SiH_4 , SiH_2Cl_2 또는 SiH_2Cl_2 등의 소소스가스를 사용하여, 570 ~ 585°C의 온도범위, 0.2Torr ~ 1Torr 정도의 압력범위에서 3분 내지

10분 정도 증착하여 형성하도록 한다.

그리고, 상기 탄탈륨산화막을 형성하기 전의 상기 질화막을 형성하는 전처리공정은, 20Å미만의 얇은 Si_3N_4 의 박막을 형성하고, 공정온도는 700 ~ 1000°C로 하고, 가스는 NH_3 , N_2O , NO , NO_2 , N_2 , O_2 중에 적어도 어느 하나를 선택하여 사용하도록 한다.

또한, 상기 탄탈륨산화막을 형성하기 전의 상기 질화막을 형성하는 전처리공정은, 저온, 저압에서 플라즈마를 이용하고, 300 ~ 500°C의 온도범위에서, 가스는 NH_3 , N_2O , NO , NO_2 , N_2 , O_2 중에 적어도 어느 하나를 선택하여 사용하며, RF파워는 30 ~ 1000Watt의 범위에서, 0.1 ~ 10Torr의 압력으로 진행하도록 한다.

그리고, 상기 탄탈륨산화막을 형성하기 전의 상기 질화막을 형성하는 전처리공정은, 저압화학기상증착법(LPCVD)으로 Si_3N_4 박막을 15 ~ 35 Å의 두께로 증착하고, 500 ~ 800°C의 온도범위, 압력은 0.1 ~ 10Torr의 압력에서, 실리콘 소오스로 SiH_4 , Si_2H_6 또는 SiH_2Cl_2 등의 소오스가스(Source Gas) 중에 적어도 어느 하나를 선택하여 사용하며, 질소 소오스로 NH_3 혹은 N_2 가스를 사용하여 형성하도록 한다.

상기 탄탈륨산화막은 CVD(Chemical Vapor Deposition)법으로, 0.1 ~ 10Torr의 압력으로, 250 ~ 500°C의 온도범위에서 증착하도록 한다.

상기 탄탈륨산화막의 후 처리공정은 N_2O , NO , NO_2 , O_2 등의 가스를 플라즈마 상태로 여기시켜 탄탈륨산화막을 저온 산화시키고, 온도범위는 350 ~ 500°C 범위에서 진행한다.

또한, 상기 탄탈륨산화막의 후 처리공정은 O_2 가스를 UV로 여기시켜 저온 산화시키거나, H_2O 가스로 저온 산화시킬 수 있다.

상기 상부전극은 TiN , Pt , RuO_2 , Ru , Ir , IrO_2 중에 어느 하나를 선택하여 사용한다.

그리고, 상기 탄탈륨산화막을 고온으로 열처리하는 공정은 급속열처리(RTP ; Rapid Thermal Process)공정으로 진행하고, 600 ~ 1100°C의 온도범위에서, 불활성가스 사용하며, 300초 미만동안, 10 Torr 미만의 압력으로 진행하도록 한다.

그리고, 상기 탄탈륨산화막을 고온으로 열처리하는 공정은 확산로(Furnace)를 사용하여 진행하고, 600 ~ 850°C의 온도범위에서, 불활성가스를 사용하며, 5분 ~ 15분 동안 진행한다.

이하, 첨부한 도면에 의거하여 본 발명에 바람직한 일 실시예에 대하여 상세히 설명한다.

도 1 내지 도 3은 본 발명에 따른 탄탈륨산화막 커패시터의 형성방법을 순차적으로 보인 도면이다.

본 발명에 따른 공정을 살펴 보면, 도 1에 도시된 바와 같이, 반도체기판 (10)상에 층간절연막(20)을 적층하고, 마스크식각으로 콘택홀(25)을 형성한 후 도핑된 비정질의 폴리실리콘층으로 홀부(35)를 갖는 하부전극(30)을 형성하는 상태를 도시하고 있다.

이 때, 상기 하부전극(30)에 MPSP필름을 형성하되, 저압화학기상증착법으로 SiH_4 , Si_2H_6 또는 SiH_2Cl_2 등의 소오스가스를 사용하며, 570 ~ 585°C의 온도범위, 0.2Torr ~ 1Torr 정도의 압력범위에서 3분 내지 10분 정도 증착하여 형성하도록 한다.

그리고, 상기 하부 전극에 탄탈륨산화막을 형성하기 전의 전처리공정으로 질화막(40)을 적층하도록 한다.

상기 탄탈륨산화막(50)을 형성 전의 상기 질화막(40)을 형성하는 전처리공정은, 20Å미만의 얇은 Si_3N_4 의 박막을 형성하고, 공정온도는 700 ~ 1000°C로 하고, 가스는 NH_3 , N_2O , NO , NO_2 , N_2 , O_2 중에 적어도 어느 하나를 선택하여 사용하도록 한다.

그리고, 상기 탄탈륨산화막(50)을 형성 전의 상기 질화막(40)을 형성하는 전처리공정은, 저온, 저압에서 플라즈마를 이용하고, 300 ~ 500°C의 온도범위에서, 가스는 NH_3 , N_2O , NO , NO_2 , N_2 , O_2 중에 적어도 어느 하나를 선택하여 사용하며, RF파워는 30 ~ 1000Watt의 범위에서, 0.1 ~ 10Torr의 압력을 진행하도록 한다.

상기 탄탈륨산화막(50)을 형성 전의 상기 질화막(40)을 형성하는 전처리공정은 저압화학기상증착법으로, Si_3N_4 박막을 15 ~ 35 Å의 두께로 증착하고, 500 ~ 800°C의 온도범위, 압력은 0.1 ~ 10Torr의 압력에서, 실리콘 소오스로 SiH_4 , Si_2H_6 또는 SiH_2Cl_2 등의 소오스가스 중에 적어도 어느 하나를 선택하여 사용하며, 질소 소오스로 NH_3 혹은 N_2 가스를 사용하여 형성하도록 한다.

도 2는 상기 단계 후에 질화막 상에 유전체 역할을 하는 탄탈륨산화막을 증착한 후 결합밀도를 줄이기 위하여 저온으로 후 처리공정을 수행하는 상태를 도시하고 있다.

상기 탄탈륨산화막(50)은 CVD(Chemical Vapor Deposition)법으로, 0.1 ~ 10Torr의 압력으로, 250 ~ 500°C의 온도범위에서 증착하도록 하고, 상기 탄탈륨산화막(50)의 후 처리공정은 N_2O , NO , NO_2 , O_2 등의 가스를 플라즈마 상태로 여기시켜 탄탈륨산화막을 저온 산화시키고, 온도범위는 350 ~ 500°C 범위에서 진행하도록 한다.

또는, 상기 탄탈륨산화막(50)의 후 처리공정은 O_2 가스를 UV로 여기시켜 저온 산화시키거나, H_2O 가스로 저온 산화시키도록 한다.

도 3은 상기 단계 후에 금속층을 적층하여 패터닝하여 상부전극(60)을 형성한 후, 상기 탄탈륨산화막을 결정화하기 위하여 상기 결과물을 고온으로 어닐링하는 상태를 도시하고 있다.

이 때, 상기 상부전극(60)은 TIN, Pt, RuO₂, Ru, Ir, IrO₂ 중에 어느 하나를 선택하여 사용하도록 한다.

그리고, 상기 탄탈륨산화막(50)의 고온 어닐링공정은 급속열처리공정(RTP)으로 진행하고, 600 ~ 1100°C의 온도범위에서, 불활성가스를 사용하여, 300초 미만동안 진행하고, 10 Torr 미만의 압력으로 진행한다.

또한, 상기 탄탈륨산화막(50)의 고온 어닐링공정은 확산로(Furnace)를 사용하여 진행하고, 600 ~ 850°C의 온도범위에서, 불활성가스를 사용하여, 5분 ~ 15분 동안 진행하면서 상기 탄탈륨산화막(50)을 결정화시키도록 한다.

이 때, 고온 어닐링공정을 진행하더라도, 종래와 같이, 탄탈륨산화막(50)에 직접적으로 고온의 열을 가하지 않으므로 하부전극(30)의 실리콘이 질화막(40)과 반응하여 저유전층(SiO₂)을 형성하는 것을 방지하여 탄탈륨산화막(50)의 두께를 얇게 유지할 수 있다.

발명의 효과

따라서, 본 발명에 따른 탄탈륨산화막 커패시터의 제조방법을 이용하게 되면, 커패시터의 하부전극을 실리콘으로 형성하고, 이 하부전극에 유전 역할을 하는 탄탈륨산화막을 적층한 후에 급속열처리 상부전극 증착한 후, 급속열처리 공정 혹은 확산로내에서 고온으로 열처리하여 탄탈륨산화막을 결정화시키므로 하부전극에 산화가 일어나지 않으므로 저유전층의 형성을 방지하여 탄탈륨산화막의 그레이나이즈를 조대화시켜 높은 정전용량을 얻도록 하는 매우 유용하고 효과적인 발명이다.

즉, 종래의 방식은 탄탈륨동가산화막의 두께를 30Å 이하로 줄이는 것이 어려웠으나, 본 발명의 공정을 이용하면, 25Å 이하의 두께로 줄이는 것이 가능하며, 탄탈륨산화막의 상부면에 적층된 급속열처리 인하여 고온 열처리공정을 진행하면 탄탈륨산화막의 온도가 급속하고 현저하게 상승하여 조직의 결정화가 매우 급속하게 일어나며, 그레이나이즈가 조대화되어 결함밀도가 줄어들고 유전율이 상승하게 되어 커패시터의 전하저장능력이 증대하게 되는 장점을 지닌다.

(57) 청구의 범위

청구항 1. 반도체소자의 커패시터 형성방법에 있어서,

반도체기판 상에 중간절연막을 적층하고 마스크식각으로 콘택홀을 형성한 후 도핑된 비정질의 폴리실리콘층으로 홀부를 갖는 하부전극을 형성하는 단계와;

상기 하부 전극에 전처리공정으로 질화막을 적층하는 단계와;

상기 단계 후에 질화막 상에 유전체 역할을 하는 탄탈륨산화막을 증착한 후 결함밀도를 줄이기 위하여 저온으로 후처리공정을 수행하는 단계와;

상기 단계 후에 급속열을 적층하여 패터닝하여 상부전극을 형성하는 단계와;

상기 탄탈륨산화막을 결정화하기 위하여 상기 결과물을 고온으로 어닐링하는 단계를 포함한 것을 특징으로 하는 탄탈륨산화막 커패시터의 제조방법.

청구항 2. 제 1 항에 있어서, 상기 하부전극상에 MPS막을 형성하는 것을 특징으로 하는 탄탈륨산화막 커패시터의 제조방법.

청구항 3. 제 1 항에 있어서, 상기 하부전극에 형성되는 MPS막은 저압화학기상증착법으로 SiH₄, Si₂H₆ 또는 SiH₂Cl₂ 등의 소오스가스를 사용하여, 570 ~ 585°C의 온도범위와, 0.2Torr ~ 1Torr 정도의 압력범위에서 3분 내지 10분 정도 증착하는 것을 특징으로 하는 탄탈륨산화막 커패시터의 제조방법.

청구항 4. 제 1 항에 있어서, 상기 비정질의 폴리실리콘층 상에 SiH₄, Si₂H₆, SiH₂Cl₂ 등의 실리콘소오스가스를 100sccm 이하의 유량으로 반응챔버 내로 유동하며 씨드를 형성하고, 진공 어닐링공정으로 실리콘 표면의 씨드를 이동시켜 MPS막의 플기를 형성하는 것을 특징으로 하는 탄탈륨산화막 커패시터의 제조방법.

청구항 5. 제 1 항에 있어서, 상기 질화막을 형성하는 전처리공정으로 20Å미만의 얇은 Si₃N₄O₂의 박막을 형성하고, 공정온도는 700 ~ 1000°C로 하고, 가스는 NH₃, N₂O, NO, NO₂, N₂, O₂ 중에 적어도 어느 하나를 선택하여 사용하는 것을 특징으로 하는 탄탈륨산화막 커패시터의 제조방법.

청구항 6. 제 1 항에 있어서, 상기 질화막을 형성하는 전처리공정은 저온, 저압에서 플라즈마를 이용하고, 300 ~ 500°C의 온도범위에서, 가스는 NH₃, N₂O, NO, NO₂, N₂, O₂ 중에 적어도 어느 하나를 선택하여 사용하며, RF파워는 30 ~ 1000Watt의 범위에서, 0.1 ~ 10Torr의 압력으로 진행하는 것을 특징으로 하는 탄탈륨산화막 커패시터의 제조방법.

청구항 7. 제 1 항에 있어서, 상기 절화막을 형성하는 전처리공정은 저압화학기상증착법으로 Si_3N_4 박막을 15 ~ 35 Å의 두께로 증착하고, 500 ~ 800°C의 온도범위, 압력은 0.1 ~ 10Torr의 압력에서, 실리콘 소오스로 SiH_4 , Si_2H_6 또는 SiH_2Cl_2 등의 소오스가스 중에 적어도 어느 하나를 선택하여 사용하며, 질소 소오스로 NH_3 혹은 N_2 가스를 사용하여 형성하는 것을 특징으로 하는 탄탈륨산화막 커패시터의 제조방법.

청구항 8. 제 1 항에 있어서, 상기 탄탈륨산화막은 CVD법으로, 0.1 ~ 10Torr의 압력으로, 250 ~ 500°C의 온도범위에서 증착하는 것을 특징으로 하는 탄탈륨산화막 커패시터의 제조방법.

청구항 9. 제 1 항에 있어서, 상기 탄탈륨산화막의 후 처리공정은 N_2O , NO , NO_2 , O_2 등의 가스를 플라즈마 상태로 여기시켜 탄탈륨산화막을 저온 산화시키고, 온도범위는 350 ~ 500°C 범위에서 진행하는 것을 특징으로 하는 탄탈륨산화막 커패시터의 제조방법.

청구항 10. 제 1 항에 있어서, 상기 탄탈륨산화막의 후 처리공정은, O_2 가스를 UV로 여기시켜 저온 산화시키거나, H_2O 가스로 저온 산화시키는 것을 특징으로 하는 탄탈륨산화막 커패시터의 제조방법.

청구항 11. 제 1 항에 있어서, 상기 상부전극은 TiN , Pt , RuO_2 , Ru , Ir , IrO_2 중에 어느 하나를 선택하여 형성하는 것을 특징으로 하는 탄탈륨산화막 커패시터의 제조방법.

청구항 12. 제 1 항에 있어서, 상기 탄탈륨산화막의 고온 열처리공정은, 급속열처리공정으로 진행하고, 600 ~ 1100°C의 온도범위에서, 불활성가스를 사용하여, 30초 미만동안 진행하는 것을 특징으로 하는 탄탈륨산화막 커패시터의 제조방법.

청구항 13. 제 12 항에 있어서, 상기 탄탈륨산화막의 고온 열처리공정은, 10 Torr 미만의 압력으로 진행하는 것을 특징으로 하는 탄탈륨산화막 커패시터의 제조방법.

청구항 14. 제 1 항에 있어서, 상기 탄탈륨산화막의 고온 어닐링공정은, 확산로를 사용하여 진행하고, 600 ~ 850°C의 온도범위에서, 불활성가스를 사용하여, 5분 ~ 15분 동안 진행하는 것을 특징으로 하는 탄탈륨산화막 커패시터의 제조방법.

도면

도면1

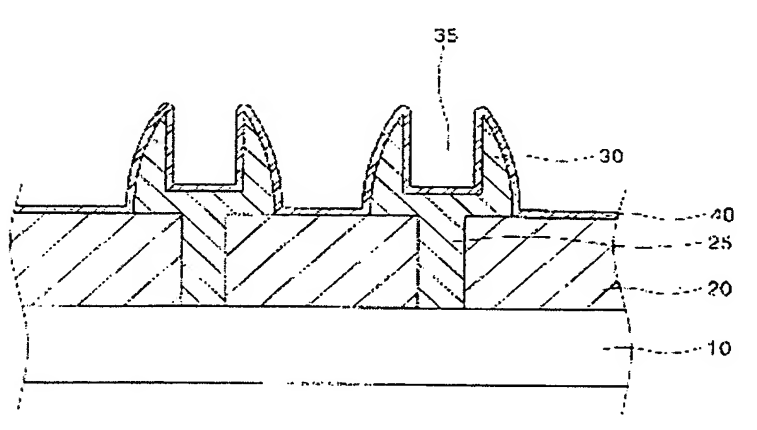


Fig. 2

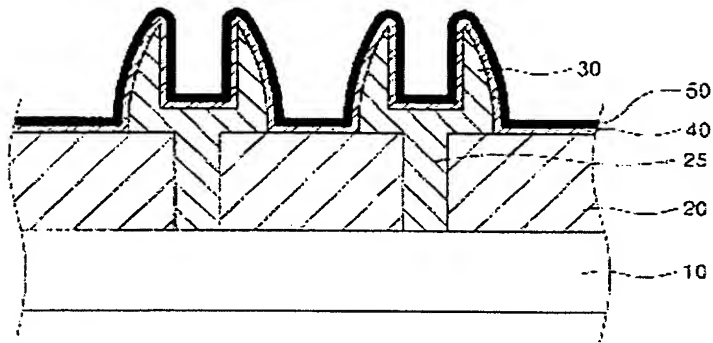
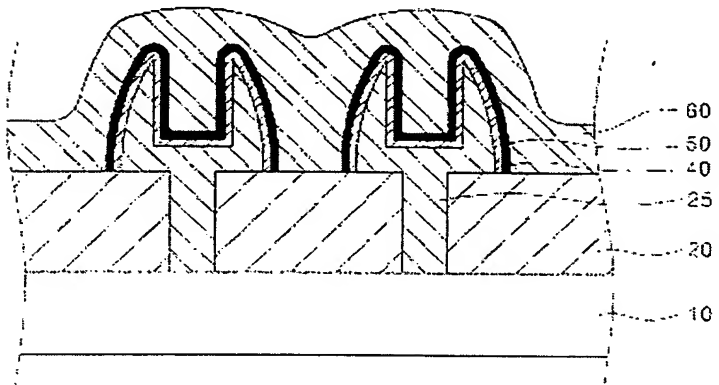


Fig. 3



출력 일자: 2004/6/1

발송번호 : 9-5-2004-021365793

수신 : 서울 서초구 서초3동 1571-18 청화빌딩 2

발송일자 : 2004.05.31

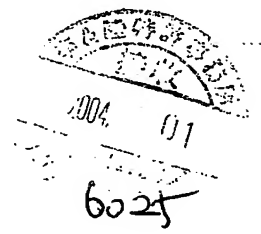
층(리&목특허법률사무소)

제출기일 : 2004.07.31

이영필 귀하

137-874

특허청 의견제출통지서



출원인 명칭 삼성전자주식회사 (출원인코드: 119981042713)

주소 경기도 수원시 영통구 매탄동 416

대리인 성명 이영필

주소 서울 서초구 서초3동 1571-18 청화빌딩 2층(리&목특허법률사무소)

출원번호 10-2002-0073820

발명의 명칭 반도체 메모리 소자의 제조방법

이 출원에 대한 심사결과 아래와 같은 거절이유가 있어 특허법 제63조의 규정에 의하여 이를 통지 하오니 의견이 있거나 보정이 필요할 경우에는 상기 제출기일까지 의견서[특허법시행규칙 별지 제 25호의2서식] 또는/및 보정서[특허법시행규칙 별지 제5호서식]를 제출하여 주시기 바랍니다.(상기 제출기일에 대하여 매회 1월 단위로 연장을 신청할 수 있으며, 이 신청에 대하여 별도의 기간연장 승인통지는 하지 않습니다.)

[이유]

이 출원의 특허청구범위 전항에 기재된 발명은 그 출원전에 이 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 아래에 지적한 것에 의하여 용이하게 발명할 수 있는 것이므로 특허법 제29조제 2항의 규정에 의하여 특허를 받을 수 없습니다.

- 본원의 청구범위 전항에 기재된 발명은 상부전극과 유전막의 계면 스트레스 완화를 위한 열처리와 함께 유전막 경화 공정을 일괄적으로 수행하는 것을 특징으로 하는 반도체 메모리 소자 제조방법이나, 인용문헌(한국공개특허공보 2001-20024호(2001.03.15))에는 하부전극에 유전체를 적층한 후 급속충으로 된 상부전극을 증착하고, 급속열처리 공정 혹은 고온으로 열처리하는 구성이 실시되어 있으므로, 본원의 청구범위 전항에 기재된 발명은 상기 기술분야에서 통상의 지식을 가진 자가 인용문헌에 기재된 발명에 의하여 용이하게 발명할 수 있습니다.

[참 부]

첨부1 한국공개특허공보 2001-20024호(2001.03.15) 1부. 끝.

2004.05.31

특허청

전기전자심사국

응용소자심사담당관실

심사관 전범재



0V18223

출력 일자: 2004/6/1

<<안내>>

문의사항이 있으시면 ☎ 042)481-5740 로 문의하시기 바랍니다.

특허청 직원 모두는 깨끗한 특허행정의 구현을 위하여 최선을 다하고 있습니다. 만일 업무처리과정에서 직원의 부조리행위가 있으면 신고하여 주시기 바랍니다.

▶ 홈페이지(www.kipo.go.kr)내 부조리신고센터